

4-151-00342-4  
listů: 8  
list : 1

**TECHNICKÝ POPIS MODULU GRAFIK**  
=====

zpracoval: Nevoral  
schválil: Cajthaml

ZPA, k.p. Nový Bor, listopad 1985

4-151-00342-4  
list: 1

## **1. VŠEOBECNĚ**

Obvody realizované v zásuvném modulu GRAFIK jsou určeny k rozšíření funkčních vlastností školního počítače IQ 151. Umožňují zobrazování grafických informací na obrazovce TV monitoru v rastru 512 x 256 bodů.

Zobrazení je černobílé, avšak modul je vybaven konektorem, jehož prostřednictvím lze připojit přídatný obvod barevného zobrazení, který v rastru 256 x 256 bodů umožňuje volit barvu každého bodu samostatně ze tří základních barev (červená, zelená, modrá). Výstup přídatného obvodu barevného zobrazení bude možno připojit k barevnému TV monitoru prostřednictvím signálů R,G,B,Y. Přídatný modul není součástí modulu GRAFIK a není proto dále popisován.

## **2. POPIS FUNKCE**

Obvody na desce modulu GRAFIK lze rozdělit do těchto funkčních celků:

- časová základna
- řídicí registr
- přepínače adres a dat
- paměť RAM
- obvody pro řízení přístupu do paměti RAM
- výstupní registry

### **2.1. Časová základna**

Vzhledem k nutnosti vytvoření stabilního zobrazení na TV obrazovce je činnost celého modulu GRAFIK odvozena od hodinového signálu. Řídicím signálem je v tomto případě signál OSC\* o frekvenci 18.432 MHz (špička 45 sběrnice konektoru). Protože obvod pracuje současně s některým modulem VIDEO (32 nebo 64), je časová základna modulu GRAFIK navíc synchronizována signály ZR\* (špička 55) a ZS\* (špička 54). Frekvence signálu OSC\* je nejprve derivací obou hran tohoto signálu pomocí obvodu typu 74S86 zdvojnásobena a zpracována pomocí dvojice klopných obvodů typu 74S74. Tato dvojice obvodů pracuje jako dělička třemi a vzniklý signál CLK má proto frekvenci 12.188 MHz. Jedná se o základní signál celé časové základny určující mimo jiné i výstupní kmitočet obrazových bodů. Fáze posunutým signálem HCZ\* výše popsané děličky je dále řízena řádková část časové základny.

Díky nutnosti synchronizace se zobrazením modulů VIDEO je následující dělička nulována derivací signálu 1ZR\* (oddělený signál ZR\*). Derivace signálu se provádí pomocí klopného obvodu typu 7474. Prosté nulování řádkového čítače nelze využít, neboť by byla omezena spolupráce počítače s pamětí RAM, která se při určitém režimu činnosti může provádět právě v době aktivního signálu ZS\* a ZR\*. Řádková část časové základny je tvořena binární devítistupňovou děličkou základního kmitočtu HCZ. První stupeň této děličky je tvořen klopným obvodem typu 7474 a další dvojicí obvodů 7493. První tři signály děličky jsou označeny Q0, Q1 a Q2. Tyto signály jsou použity jednak k tvorbě signálu MD, který ovládá práci výstupního registru, jednak vytvářejí řídicí signály RAS0\* až RAS7\* a CAS\* pro řízení paměti RAM. Signál Q2 též řídí přepínání adres pro paměť RAM a synchronizuje přístup procesoru do paměti RAM modulu. V další části děličky je vytvářena šestice signálů X0 až X5. Tyto signály slouží k adresování paměti RAM modulu při zobrazování a jsou vázány na osu X zobrazení. Výše popsany signál MD vzniká na základě činnosti obvodu 7430. Jeho tvorba je blokována signály 1ZR\* a 1ZS\*, čímž je zobrazení omezeno na činnou plochu obrazovky. Dále je blokována signálem PROC\*, čímž se zamezí přepisu nesprávné informace do výstupního posuvného registru v době přístupu procesoru do paměti RAM. Toto dodatečné blokování se však projeví pouze při tzv. rychlém režimu kreslení, při němž má přístup procesoru do paměti RAM přednost před zobrazováním grafické informace.

Signál RAS je odvozen ze signálů Q0, Q1 a Q2 pomocí obvodu 7474 a hradla 7400. Od signálu Q2 je též odvozeno přepínání adres a tvorba signálu CAS pomocí zpožďovacího článku a obvodu 74S86.

Snímková část časové základny je již jednodušší - tvoří ji dvojice čítačů 74193, která pracuje v režimu odečítání. Tento režim zajišťuje zobrazování v matematické soustavě bez nutnosti upravovat hodnoty adres Y formou doplňku. Vstupním signálem této části děličky je signál 1ZR\* a synchronizace je prováděna nulováním pomocí signálu ZS. Zde již tato synchronizace nevadí, neboť tato část časové základny tvoří pouze adresovací signály Y0 až Y7 a jiné funkce modulu na ní nejsou závislé.

Časové průběhy nejdůležitějších signálů časové základny (zejména pro řízení výstupního posuvného registru a paměti) jsou na obr.1.

## 2.2. Řídící registr

Ve funkci řídicího registru je v modulu GRAFIK použit obvod typu MHB 8255. Jedná se o obvod paralelního styku, který je na této desce využit jako trojice výstupních registrů (kód činnosti - 0), Zvláštností je, že obvod je od datové sběrnice oddělen jednosměrně a nelze tedy z něho číst. Tomu odpovídá i zapojení vývodu RD\* (5). Oddělení od datové sběrnice je provedeno obvody typu 7486 a je nutné vzhledem ke značnému zatížení datových vodičů. Výběr obvodů je řízen adresním dekodérem tvořeným naprogramovanou pamětí PROM typu 74188. První dva bity této paměti jsou naprogramovány tak, že opakují signály A0 a A1 a tvoří tak oddělovač. Další výstup paměti PROM řídí výběr obvodu 8255 na adresách D0 až D3 a poslední výstup řídí přenos dat mezi modulem a počítačem na adrese D4. Vhodným naprogramováním paměti PROM lze dosáhnout i přístupu na jiných adresách a tím i možnosti současného využívání dvou modulů GRAFIK v jednom počítači.

Zápis do registrů i jejich inicializace je prováděna obvyklým způsobem. Po nahrání řídicího slova (80H) je obvod 8255 připraven přijímat předávané údaje. Brána A a B tvoří paměť adresy X a Y pro spolupráci procesoru s pamětí RAM modulu. Brána C je vyhrazena pro ukládání řídicích signálů.

Jedná se o tyto signály:

- signál ALL - tento signál v aktivním stavu (úroveň H) zajišťuje přenos celého datového bytu mezi počítačem a modulem. Není-li tento signál aktivní (úroveň L), pak probíhá přenos pouze jediného bitu dat, jehož poloha v rámci bytu je určena hodnotou tří nejvyšších bitů datového slova. Tyto tři bity doplňují adresu X na devět bitů, což je počet potřebný pro adresování v celém rozsahu osy X. Modul v tomto případě pracuje na principu bitové mapy (bit-mapping), kdy lze každý bod samostatně adresovat.

- signál PEN\* - tento signál určuje v případě využití bitového přístupu do paměti hodnotu zapisovaného bitu (pro byteový přístup nemá význam). Má-li signál aktivní úroveň (L), zapisuje se do paměti svítící bod, při neaktivním stavu (H) - zhasnutý. Stejným algoritmem lze tedy kreslit i mazat (čáry) - stačí jen řídit tento signál.

- signál FAST\* - tento signál řídí prioritu přístupu do paměti. Je-li aktivní (L), má prioritu procesor (komunikace probíhá rychleji za cenu vizuálního "rušení" obrazové informace); Je-li neaktivní (H), má prioritu zobrazování a komunikace může probíhat pouze v době snímkového, nebo řádkového zatemnění.

- signál EV - tento signál v aktivním stavu (H) povoluje výstup obrazové informace z modulu do počítače a tím i grafické zobrazení.

- signály E0, E1 a E2 - slouží pro řízení přídavného obvodu barevného zobrazení.

- signál SEL - tento signál povoluje stavem H komunikaci mezi modulem a počítačem. Zavedení tohoto signálu vynutila skutečnost, že u počítače s procesorem 8080 ve standardním zapojení nelze rozlišit zápis do paměti od zápisu do periferního obvodu v době, kdy je, pro synchronizaci nutno generovat signál nepřipravenosti. Proto obvody modulu GRAFIK vyjadřují nepřipravenost signálem NRDY\* již na základě rozpoznání adresy obvodu (což se projevuje i zpožděním paměťových přenosů, jejichž dolní polovina adresy odpovídá adrese datového kanálu modulu GRAFIK). Vzniklé zpoždění se nepříznivě projevuje zejména při spolupráci s kanálem DMA, kde v případě nutnosti dodržet časování (spolupráce např. s floppy diskem) může znemožnit funkci zařízení. Pomocí signálu SEL lze zpoždění omezit na minimum.

Signály SEL a EV jsou ošetřeny pomocí odporů tak, aby v době kdy jsou příslušné výstupy portu C v třetím stavu (po inicializaci počítače) nevznikaly nežádoucí stavy (zpoždění, zobrazování).

### **2.3. Přepínače adres a dat**

Přepínače adres jsou typu 74153 a zajišťují na základě signálů Q2 a PROC přepínání adresních signálů tak, aby při ukládání i zobrazování nebo čtení dat nedocházelo k chybám. Část přepínače nevyužitá pro adresování se využívá k tvorbě signálu WE\*, který podmiňuje zápis do paměti RAM.

Přepínač dat je tvořen obvody 74157. Tento přepínač je řízen signálem ALL\*, který v aktivním stavu (L) převádí na výstup datové signály D10 až D15. Není-li signál ALL\* aktivní, je na výstupu přepínače přiveden stav signálu PEN a zápis je navíc adresován hodnotou dat.

#### **2.4. Paměť RAM**

Paměť modulu GRAFIK je tvořena osmi obvody typu 4116 v obvyklém zapojení. Jedinou odlišností je (mimo normální přenos dat) možnost spolupráce pouze s jednou pamětí. Tato paměť je vybrána samostatným signálem RAS0\* až RAS7\* prostřednictvím obvodu typu 3205 a hradel 7408. Vhodným zapojením těchto obvodů bylo dosaženo možnosti spolupracovat se všemi pamětmi najednou, nebo vybrat pouze jedinou (na základě adresy předávané po datových vodičích D5 až D7). Obvod je navíc řízen i signálem PROC, neboť při zobrazování musí být paměť přístupná celá. Z praktického hlediska je bitový přístup výhodný pro zápis, nebo pro testování jednotlivých předem definovaných bitů v paměti.

#### **2.5. Obvody pro řízení přístupu do paměti RAM**

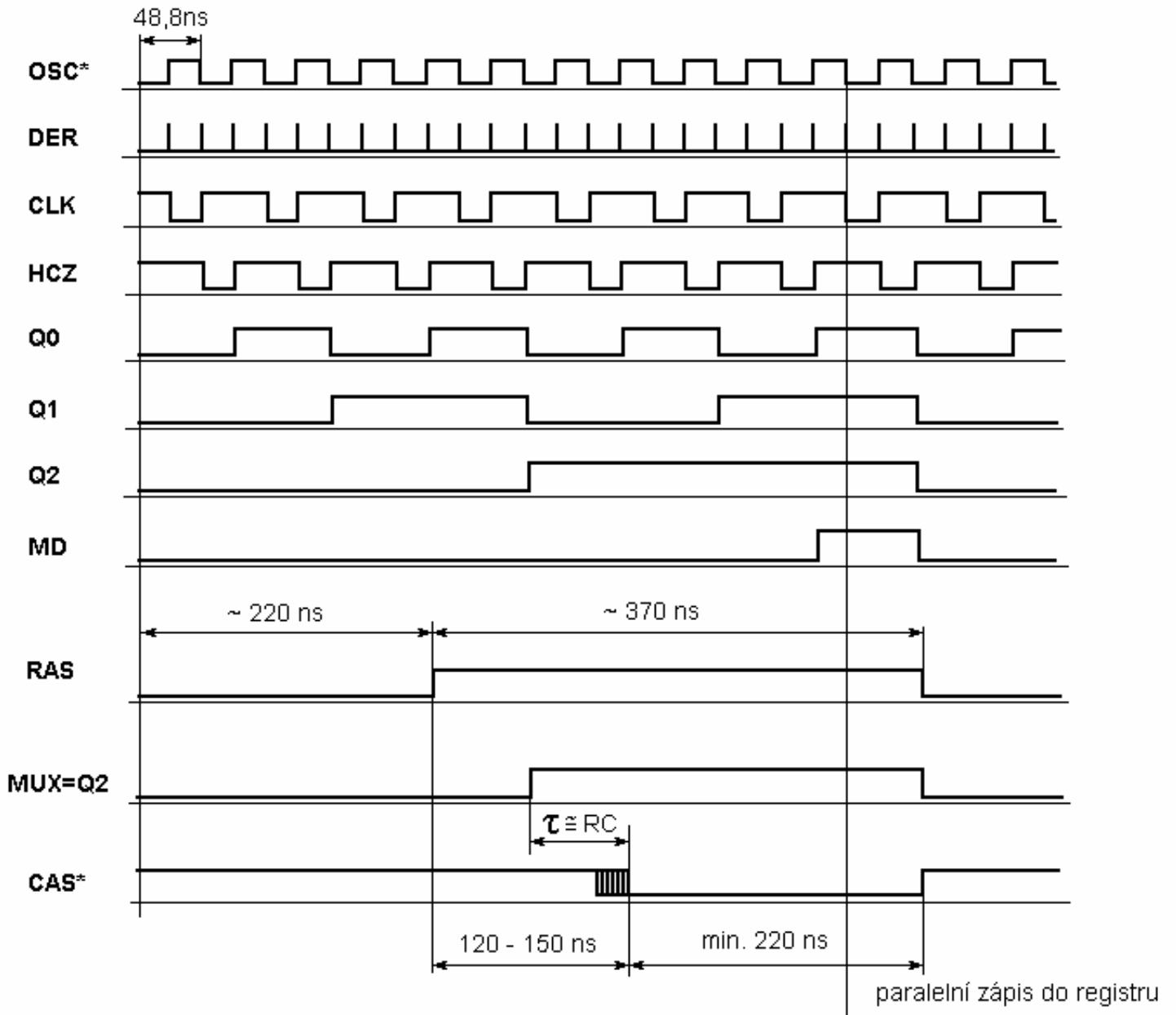
Z popisu časové základny je zřejmé, že tvorba řídicích signálů paměti je řízena hodinovým signálem. Nelze však předpokládat synchronní přístup procesoru. Proto je na desce vytvořeno zapojení, jehož základem je trojice obvodů 7474. První klopný obvod se používá pro generování zpoždovacího signálu a to v závislosti na stavu signálu SEL. Je-li deska adresována pro datovou komunikaci (signál CED), přechází tento obvod do aktivního stavu a blokuje počítač (signál NRDY\*). Další činnost je závislá na signálu SYN, který synchronizuje přístup do paměti podle zatemňovacích signálů v závislosti na signálu FAST\*, který nutnost synchronizace ruší. Druhý klopný obvod zajišťuje správnou synchronizaci přístupu vzhledem k běhu procesoru, a to pomocí signálu O2TTL. Takto připravená komunikace potom probíhá na základě činnosti třetího klopného obvodu. Ten pomocí signálu PROC ovládá průběh komunikace mezi pamětí RAM v modulu a v procesoru. Signál PROC ruší aktivní stav prvního obvodu 7474, přepíná adresní přepínač na adresování z řídicího registru a případně provádí zápis do výstupního registru 3212. V tomto případě je řídicím signálem signál Q2\*, a ten zajišťuje synchronní přístup k paměti i při spolupráci s procesorem. Signál PROC\* zablokuje tvorbu signálu MD a tím i výstup videosignálu. Ve stejné časové posloupnosti jako při zobrazování dojde ke spolupráci s pamětí. Aby byla zajištěna platná data ve výstupním registru modulu, prodlužuje se při čtení signál NRDY\* po dobu aktivního signálu PROC.

## **2.6. Výstupní registry**

Výstupy paměti RAM jsou přivedeny na dvojici výstupních registrů. Jedná se o obvod typu 3212, který odděluje výstup paměti RAM od datové sběrnice a dvojici posuvných registrů, která při černobílém provozu vytváří videosignál a při spolupráci s přidavným obvodem barevného zobrazení odděluje obvody RAM. Obvod 3212 je hradlován signálem PROC a čten pomocí výběrových signálů CED\* a IOR.

Posuvné registry jsou řízeny signálem MD a CLK. V době aktivního stavu signálu MD sestupná hrana signálu CLK provede přenos dat z paměti do klopných obvodů posuvných registrů a po skončení signálu ML již následující hodiny CLK provedou sériový posuv dat. Připojení registrů je provedeno tak, že nejprve vstupuje bit s nejnižší váhou. Na výstupu registru je zapojeno hradlo 7403, které umožňuje povolování výstupu VID\* pomocí signálu EV.

V případě připojení přidavného obvodu barevného zobrazení přejde signál MD v důsledku uzemnění signálu BP\* trvale do stavu H a každý hodinový puls CLK prepisuje výstupní data z paměti do registrů. Ty pak slouží pouze jako oddělovač a převod dat do sériového tvaru provádí již doplněk sám. V případě spolupráce s doplňkem musí být výstup VID\* blokován signálem EV.



Obr.1: Základní signály časové základny